

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-005643**

(43)Date of publication of application : **12.01.1987**

(51)Int.Cl.

H01L 21/88
H01L 21/76

(21)Application number : **60-145045**

(71)Applicant : **NEC CORP**

(22)Date of filing : **01.07.1985**

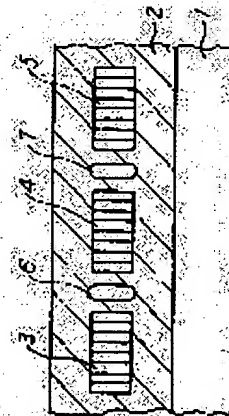
(72)Inventor : **YOSHIDA MASAOKI**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent an erroneous operation by interposing a cavity in part of a separating range between adjacent wirings to reduce a mutual capacity between the adjacent wirings.

CONSTITUTION: A cavity 6 is formed between wirings 3 and 4, and a cavity 7 is formed between wirings 4 and 5. Silicon dioxide film is normally used as a film of insulating substance 2. When the cavity is provided, the capacity between adjacent wirings can be regarded as being series connection of three capacities of capacity between the wiring and the cavity, a capacity of the cavity, and capacity between the cavity and another wirings. Since the capacity of the cavity is approx. 1/4 as compared with the specific dielectric constant of the silicon dioxide film of insulating substance of other portion so that the insulating substance is air of low specific dielectric constant, the capacity between the adjacent wirings is reduced by providing the cavity. Thus, the rate of occupying the mutual capacity between the adjacent wirings in the entire wiring capacity can be suppressed to small value, and an erroneous operation hardly occurs to obtain an integrated circuit having wide operating margin.



LEGAL STATUS

[Date of request for examination]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-5643

⑬ Int.Cl.⁴

H 01 L 21/88
21/76

識別記号

庁内整理番号

6708-5F
A-7131-5F

⑭ 公開 昭和62年(1987)1月12日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭60-145045

⑰ 出 願 昭60(1985)7月1日

⑱ 発 明 者 吉 田 正 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 隣接する配線相互間の分離領域の一部に空洞を介在せしめたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリ等の半導体集積回路に関する。

〔従来の技術〕

半導体集積回路は、これまで幾何学的寸法の縮小によって大容量化、高性能化を達成してきており、今後もさらに進展していくことが予想される。幾何学的寸法の縮小を水平方向、垂直方向同一の割合で施すと、配線抵抗の増大、エレクトロマイグレーションによる配線寿命の減少等の問題を生じる。そこで一般には、垂直方向は殆んど縮小せずに、水平方向のみを縮小するという方法が採用

されている。第3図に示した従来の半導体集積回路の配線では、この様な縮小を続け、配線断面の縦、横の寸法が同程度の大きさになってくると大きな問題を生じてくる。隣接配線間の相互容量が総配線容量に占める割合が加速度的に大きくなっていくからである。第3図の中央の配線14に着目すると、中央の配線14の配線容量は半導体基板11との間の容量と、隣接配線13及び隣接配線15との間の相互容量との和となる。従来例においては、配線-基板間、配線-配線間は同一の絶縁性物質12で分離されているので、その容量比はほぼ配線の面積と配線間距離によって決まる。

〔発明が解決しようとする問題点〕

従って前述した水平方向のみを縮小していく様な方法では、単位長さ当りの隣接間配線容量が増加していくのに対し、配線-基板間の単位長さ当りの容量は減少するので隣接配線間容量が総配線容量に占める割合が急激に大きくなる。

隣接配線間の相互容量が総配線容量に占める割合が増加するということは、隣接配線の電位変化

の影響を大きく受けるということであり、動作マージンの減少、誤動作の原因となり、半導体集積回路にとって致命的な状態となる。

上述した様に、従来の半導体集積回路においては水平方向のみ寸法を縮小していった場合に隣接配線間の相互容量が支配的となり情報の誤りを生じ易いという問題が生ずる。

本発明の目的は前述の従来の半導体集積回路の問題点を緩和し、水平方向のみを縮小していった場合でも隣接配線間の相互容量を従来例に較べて小さくしうる半導体集積回路を提供することにある。

〔問題点を解決するための手段〕

本発明は隣接する配線相互間の分離領域の一部に空洞を介在せしめたことを特徴とする半導体集積回路である。

〔作用〕

隣接配線間の絶縁性物質に設けた空洞内の誘電率の小さい空気を絶縁性物質として利用し、隣接配線間相互容量の増大を防ぐ。

は空洞の有無によらずほぼ一定となるので、隣接配線間容量が全配線容量に占める割合は従来の構成に較べ減少することになる。従って、隣接配線間の相互容量による電位変動も減少し、従来例に較べ誤動作が生じにくく、又、動作マージンが広がる。

隣接する配線相互間の絶縁性物質 2 内に空洞を形成するのは簡単である。隣接配線間の相互容量が問題となる状況、すなわち隣接配線間距離が小さく、配線膜厚が厚い状態では、配線形成後、通常用いられている CVD 法により絶縁性物質 2 を被着することにより容易に空洞は形成される。但し、この場合には空洞は配線底面より若干浮いた位置に形成される。第 1 図に示す様に空洞 6, 7 を充分深い位置に形成するには、配線形成時にオーパエッチを行ない、配線 3, 4, 5 間下部にある絶縁性物質 2 のみを多少エッチングして、第 2 図に示す形状とし、この上に CVD 法により絶縁性物質 2 を被着すればよい。

〔実施例〕

以下、本発明の典型的な実施例を示す第 1 図を参照しながら本発明を詳細に説明する。

第 1 図は第 3 図に示した従来例に本発明を適用した例を示す模式的な断面図である。第 1 図において、配線 3 と配線 4 との間に空洞 6 を設け、また、配線 4 と配線 5 との間に空洞 7 を設けている。また絶縁性物質 2 による膜としては通常酸化珪素膜が用いられる。空洞がある場合には隣接配線間の容量は配線と空洞間の容量、空洞部の容量、空洞ともう一方の配線間の容量の 3 つの容量が直列に接続されたものとみなすことができる。空洞部の容量は絶縁性物質が比誘電率の低い空気であり、他の部分の絶縁性物質である酸化珪素膜の比誘電率に較べ約 $1/4$ の値であるので、本発明の様に空洞を設けることにより隣接配線間の容量は減少する。例えば空洞の幅が隣接配線間距離の $1/3$ の時には隣接配線間容量は空洞がない場合の $1/2$ になる。空洞が大きければ大きい程、隣接配線間容量は小さくなる。又、配線と基板間の容量

〔発明の効果〕

以上述べた様に、本発明によれば、隣接配線間の相互容量が全体の配線容量に占める割合を小さく抑えることができ、したがって誤動作が生じにくく、動作マージンの広い半導体集積回路を得ることができる効果を有するものである。

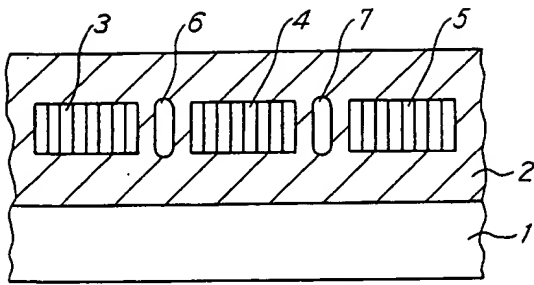
4. 図面の簡単な説明

第 1 図は本発明の一実施例の模式的断面図、第 2 図は空洞形成要領の説明図、第 3 図は従来の半導体集積回路の模式的断面図である。

1 … 半導体基板、2 … 酸化珪素膜（絶縁性物質）、3, 4, 5 … 配線、6, 7 … 空洞。

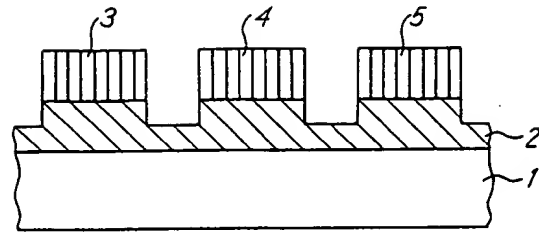
特許出願人 日本電気株式会社
代理人 弁理士 内 原



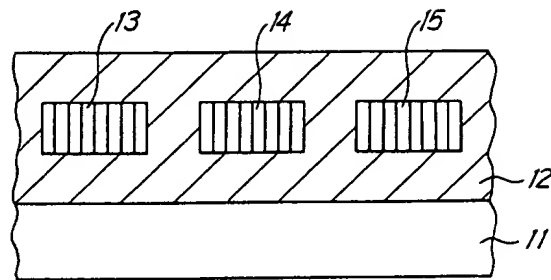


- 1 : 半導体基板
2 : 絶縁状物質
3,4,5 : 配線
6,7 : 空洞

第 1 図



第 2 図



第 3 図